

b)

DMA TRANSFER CONTROLLER

Patent Number: JP8202650
Publication date: 1996-08-09
Inventor(s): TAKAHASHI TORU
Applicant(s): NEC ENG LTD
Requested Patent: ☐ JP8202650
Application Number: JP19950009129 19950124
Priority Number(s):
IPC Classification: G06F13/28
EC Classification:
Equivalents:

Abstract

PURPOSE: To provide a DMA transfer controller which can improve the performance of an entire system by preventing such a case that a system bus is occupied for a long time by a peripheral device controller that has a small transfer capability.

CONSTITUTION: A buffer memory controller 13 controls the buffer memories 17-1 to 17-4 which are used in a device-read/memory-write mode. A buffer memory controller 14 controls the buffer memories 18-1 to 18-4 which are used in a memory-read/device-write mode. The memories 17-1 to 17-4 temporarily store the data on an IO bus 200 to transfer them to the data bus of a system bus 100 in the device-read/memory-write mode. The memories 18-1 to 18-4 temporarily store the data on the bus 100 to transfer them to the data bus of the bus 200 in the memory-read/device-write mode.

Data supplied from the esp@cenet database - I2

HEI 8-202650

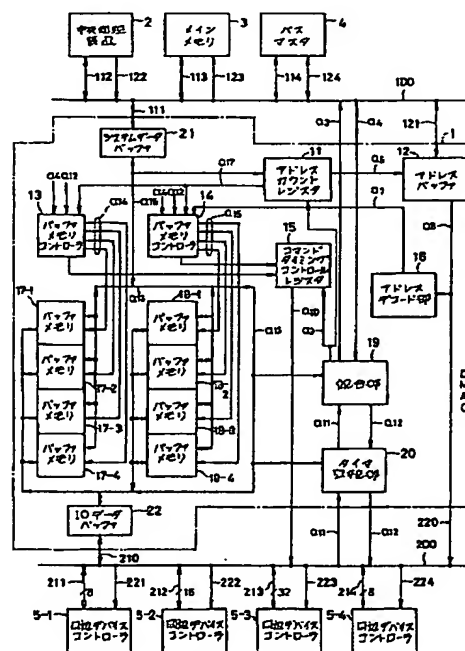
[CLAIMS]

[Claim 1] A DMA transfer control apparatus connected to a main storage apparatus through a system bus and connected to a plurality of peripheral device controllers through an input/output bus, characterized in that it comprises first accumulation means for accumulating data from said main storage apparatus upon direct memory access transfer from said main storage apparatus to any of said peripheral device controllers, means for transferring the data accumulated in said first accumulation means to one of said peripheral device controller which is an object of the direct memory access transfer through said input/output bus, means for burst transferring the data from said main storage apparatus to said first accumulation means, second accumulation means for accumulating data from any of said peripheral device controllers upon direct memory access transfer from the peripheral device controller to said main storage apparatus, and means for burst transferring the data accumulated in said second accumulation means to said main storage apparatus through said system bus.

[Claim 2] A DMA transfer control apparatus as set forth in claim 1, characterized in that it further comprises management means for managing a use state of said input/output bus upon direct memory access transfer from said main storage apparatus to any of said peripheral device controllers and upon direct memory access transfer from

any of said peripheral device controllers to said main storage apparatus.

[Claim 3] A DMA transfer control apparatus as set forth in claim 2, characterized in that it further comprises
5 means for detecting that a predetermined period of time set in advance for one of said peripheral device controllers which is an object of the direct memory access transfer elapses after a transfer request is inputted upon direct memory access transfer from said main storage apparatus
10 to any of said peripheral device controllers and upon direct memory access transfer from any of said peripheral device controllers to said main storage apparatus, and means for issuing, when it is detected that the predetermined period of time elapses, an instruction to said management means
15 to preferentially use said input/output bus for the peripheral device controller of the object of the direct memory access transfer.



【特許請求の範囲】

【請求項1】 システムバスを介して主記憶装置に接続されかつ入出力バスを介して複数の周辺デバイスコントローラに接続されたDMA転送制御装置であって、前記主記憶装置から前記周辺デバイスコントローラへのダイレクトメモリアクセス転送時に前記主記憶装置からのデータを蓄積する第1の蓄積手段と、前記第1の蓄積手段に蓄積されたデータを前記入出力バスを介してダイレクトメモリアクセス転送対象の周辺デバイスコントローラに転送する手段と、前記主記憶装置からのデータを前記第1の蓄積手段にバースト転送する手段と、前記周辺デバイスコントローラから前記主記憶装置へのダイレクトメモリアクセス転送時に前記周辺デバイスコントローラからのデータを蓄積する第2の蓄積手段と、前記第2の蓄積手段に蓄積されたデータを前記システムバスを介して前記主記憶装置にバースト転送する手段とを有することを特徴とするDMA転送制御装置。

【請求項2】 前記主記憶装置から前記周辺デバイスコントローラへのダイレクトメモリアクセス転送時及び前記周辺デバイスコントローラから前記主記憶装置へのダイレクトメモリアクセス転送時に前記入出力バスの使用状態を管理する管理手段を含むことを特徴とする請求項1記載のDMA転送制御装置。

【請求項3】 前記主記憶装置から前記周辺デバイスコントローラへのダイレクトメモリアクセス転送時及び前記周辺デバイスコントローラから前記主記憶装置へのダイレクトメモリアクセス転送時に転送要求が入力されてからダイレクトメモリアクセス転送対象の周辺デバイスコントローラに対応して予め設定された所定時間が経過したことを検出する手段と、前記所定時間が経過したことを検出した時にこのダイレクトメモリアクセス転送対象の周辺デバイスコントローラに対する前記入出力バスの優先使用を前記管理手段に指示する手段とを含むことを特徴とする請求項2記載のDMA転送制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はDMA転送制御装置に関し、特にDMA（ダイレクトメモリアクセス）転送用のバッファメモリを有するDMA転送制御装置に関する。

【0002】

【従来の技術】 従来、DMA転送においては、メインメモリが接続されているシステムバスのデータ幅とDMA転送要求元の周辺デバイスコントローラのデータ幅とが異なっている場合、システムバスと周辺デバイスコントローラが接続されているIO（入出力）バスとの間にバッファを設け、システムバスのデータ幅と周辺デバイスコントローラのデータ幅とのミスマッチを解消している。

【0003】 上記の方法によるDMA転送では周辺デバイスコントローラにデータを書込む場合、バッファに格

納されているデータが周辺デバイスコントローラに書込まれるまで、メインメモリからのデータをバッファに書込むことができない。

【0004】 また、周辺デバイスコントローラからデータを読み出す場合、周辺デバイスコントローラから読出したデータをシステムバスのデータ幅に一致させるまでバッファ内に保留させ、メインメモリにバッファ内のデータを書込むまで周辺デバイスコントローラからのデータ転送を受け付けない。このため、DMA転送は周辺デバイスコントローラのデータ転送能力に左右されやすい。

【0005】

【発明が解決しようとする課題】 上述した従来のDMA転送制御装置では、システムバスとIOバスとの間にデータバス幅のミスマッチがあっても、一段のバッファでデータバス幅のミスマッチを解消するしかない。

【0006】 このため、システムバス側のデータバス幅を大きくしてデータ転送能力を良くしても、DMA転送時には周辺デバイスコントローラのデータ転送能力に依存するしかなく、システム全体の性能を上げることができない。

【0007】 また、上記の方法でデータ転送が行われる場合、転送能力が小さい周辺デバイスコントローラによってシステムバスが長時間占有されるので、他の周辺デバイスコントローラのオーバランやアンダランの要因にもなっている。

【0008】 そこで、本発明の目的は上記の問題点を解消し、転送能力が小さい周辺デバイスコントローラによってシステムバスが長時間占有されるのを防ぐことができ、システム全体の性能を向上させることができるDMA転送制御装置を提供することにある。

【0009】

【課題を解決するための手段】 本発明によるDMA転送制御装置は、システムバスを介して主記憶装置に接続されかつ入出力バスを介して複数の周辺デバイスコントローラに接続されたDMA転送制御装置であって、前記主記憶装置から前記周辺デバイスコントローラへのダイレクトメモリアクセス転送時に前記主記憶装置からのデータを蓄積する第1の蓄積手段と、前記第1の蓄積手段に蓄積されたデータを前記入出力バスを介してダイレクトメモリアクセス転送対象の周辺デバイスコントローラに転送する手段と、前記主記憶装置からのデータを前記第1の蓄積手段にバースト転送する手段と、前記周辺デバイスコントローラから前記主記憶装置へのダイレクトメモリアクセス転送時に前記周辺デバイスコントローラからのデータを蓄積する第2の蓄積手段と、前記第2の蓄積手段に蓄積されたデータを前記システムバスを介して前記主記憶装置にバースト転送する手段とを備えている。

【0010】 本発明による他のDMA転送制御装置は、上記の構成のほかに、前記主記憶装置から前記周辺デバ

イスコントローラへのダイレクトメモリアクセス転送時及び前記周辺デバイスコントローラから前記主記憶装置へのダイレクトメモリアクセス転送時に前記入出力バスの使用状態を管理する管理手段を具備している。」

【0011】本発明による別のDMA転送制御装置は、上記の構成のほかに、前記主記憶装置から前記周辺デバイスコントローラへのダイレクトメモリアクセス転送時及び前記周辺デバイスコントローラから前記主記憶装置へのダイレクトメモリアクセス転送時に転送要求が入力してからダイレクトメモリアクセス転送対象の周辺デバイスコントローラに対応して予め設定された所定時間が経過したことを検出する手段と、前記所定時間が経過したことを検出した時にこのダイレクトメモリアクセス転送対象の周辺デバイスコントローラに対する前記入出力バスの優先使用を前記管理手段に指示する手段とを具備している。

【0012】

【作用】DMA転送制御装置内にデバイスリード・メモリライト時に使用するバッファメモリと、メモリリード・デバイスライト時に使用するバッファメモリと、それらのバッファメモリに対する書き込み読出しを制御するバッファメモリコントローラとを設け、バッファメモリにシステムバスへのDMAデータ及びシステムバスからのDMAデータを夫々一時的に格納し、システムバス及び周辺デバイスコントローラ各々のデータバス幅に合わせたバースト転送等を実施する。

【0013】これによって、周辺デバイスコントローラ側から見てデータ転送開始から終了までの時間はほぼ従来と同様であるが、その時間内でのシステムバス占有率は縮小される。この縮小された時間が他のサービスに利用可能となるため、システム全体の性能が向上する。

【0014】よって、転送能力が小さい周辺デバイスコントローラによってシステムバスが長時間占有されるのを防ぐことが可能となり、システム全体の性能を向上させることが可能となる。

【0015】

【実施例】次に、本発明の一実施例について図面を参照して説明する。

【0016】図1は本発明の一実施例の構成を示すブロック図である。図において、DMA転送制御装置1はシステムバス100を介して中央処理装置2とメインメモリ3とバスマスタ4とに夫々接続され、IOバス200を介して周辺デバイスコントローラ5-1〜5-4に接続されている。

【0017】つまり、DMA転送制御装置1はシステムバス内データバス111及びシステムバス内アドレスバス121でシステムバス100に接続されている。また、中央処理装置2はシステムバス内データバス112及びシステムバス内アドレスバス122でシステムバス100に接続され、メインメモリ3はシステムバス内デ

ータバス113及びシステムバス内アドレスバス123でシステムバス100に接続され、バスマスタ4はシステムバス内データバス114及びシステムバス内アドレスバス124でシステムバス100に接続されている。

【0018】DMA転送制御装置1はIOバス内データバス210及びIOバス内アドレスバス220でIOバス200に接続され、IOバス200を介して周辺デバイスコントローラ5-1〜5-4各々はIOバス内データバス211〜214及びIOバス内アドレスバス221〜224でIOバス200に接続されている。

【0019】ここで、DMA転送制御装置1はアドレスカウンタレジスタ11と、アドレスバッファ12と、バッファメモリコントローラ13、14と、コマンドタイミングコントロールレジスタ15と、アドレスデコード部16と、バッファメモリ17-1〜17-4、18-1〜18-4と、競合部19と、タイマ監視部20と、システムデータバッファ21と、IOデータバッファ22とから構成されている。

【0020】アドレスカウンタレジスタ11には中央処理装置2からの命令によってDMA転送時にシステムバス100に出力される開始アドレス及び転送長が保持され、それら開始アドレス及び転送長はDMA転送毎に更新される。

【0021】アドレスバッファ12はアドレスカウンタレジスタ11から出力されるアドレスを周辺デバイスコントローラ5-1〜5-4に出力するためのものである。バッファメモリコントローラ13はデバイスリード・メモリライト時に使用するバッファメモリ17-1〜17-4を制御し、バッファメモリコントローラ14はメモリリード・デバイスライト時に使用するバッファメモリ18-1〜18-4を制御する。

【0022】コマンドタイミングコントロールレジスタ15はIOバス200に出力するデバイスリード信号及びデバイスライト信号を生成する。アドレスデコード部16はシステムバス100上のアドレスを取込み、DMA転送制御装置1内の各レジスタへのアクセス及びIOバス上の周辺デバイスコントローラへのアクセスがあることを認識する。

【0023】バッファメモリ17-1〜17-4はデバイスリード・メモリライト時に使用され、IOバス200上のデータをシステムバス100のデータバスに転送するために一時的に記憶する不揮発性メモリで構成されている。

【0024】バッファメモリ18-1〜18-4はメモリリード・デバイスライト時に使用され、システムバス100上のデータをIOバス200のデータバスに転送するために一時的に記憶する不揮発性メモリで構成されている。

【0025】競合部19はDMA転送を行うIOバス200上に接続されている周辺デバイスコントローラから

10

20

30

40

50

のデータ転送要求に対してどの周辺デバイスコントローラ 5-1~5-4 に DMA 転送を行わせるかを決定する。

【0026】タイマ監視部 20 は周辺デバイスコントローラ 5-1~5-4 からのデータ転送要求信号が受付から競合部 19 からの応答信号が出力されるまでの時間を計測し、その計測時間が予めセットされている所定時間（各周辺デバイスコントローラ 5-1~5-4 のオーバランまたはアンダランの時間）と一致した時に競合部 19 に対して割り込み信号を出力する。

【0027】システムデータバッファ 21 は DMA 転送制御装置 1 の内部データバスのデータをシステムバス 100 に出力するためのものであり、IO データバッファ 22 は DMA 転送制御装置 1 の内部データバスのデータを IO バス 200 に出力するためのものである。

【0028】図 2 は本発明の一実施例によるデバイスリード・メモリライト時の DMA 転送を示すタイミングチャートであり、図 3 は本発明の一実施例によるメモリリード・デバイスライト時の DMA 転送を示すタイミングチャートであり、図 4 は本発明の一実施例によるデバイスリード・メモリライト及びメモリリード・デバイスライト同時動作時の DMA 転送を示すタイミングチャートである。これら図 1~図 4 を用いて本発明の一実施例による DMA 転送制御装置 1 の動作について説明する。

【0029】DMA 転送が必要となった場合、中央処理装置 1 は DMA 転送の対象となる周辺デバイスコントローラ 5-1~5-4 及び DMA 転送制御装置 1 に対して DMA 転送に必要な情報の設定を行う。

【0030】デバイスリード・メモリライトの DMA 転送では DMA 転送制御装置 1 のアドレスカウンタレジスタ 11 に対して DMA 転送開始アドレス及び転送長情報を設定し、タイマ監視部 20 に対して DMA 転送対象の周辺デバイスコントローラ 5-1~5-4 のオーバラン防止用の設定値を設定する。

【0031】これらの設定はアドレスデコード部 16 でシステムバス内アドレスバス 121 のアドレスをデコードし、そのデコード結果に応じて DMA 転送制御装置 1 内の各レジスタに対して選択信号を出力することで行われる。

【0032】また、周辺デバイスコントローラ 5-1~5-4 に対してはシステムバス内アドレスバス 121 のアドレスが DMA 転送制御装置 1 内のアドレスバッファ 12 を通過して IO バス内アドレスバス 220~224 に供給され、システムバス内データバス 111 のデータが DMA 転送制御装置 1 内のシステムデータバッファ 21 及び IO データバッファ 22 を通過して IO バス内データバス 210~214 に供給されることで DMA 転送に必要な情報が設定される。

【0033】DMA 転送の対象となる周辺デバイスコントローラ 5-1~5-4 及び DMA 転送制御装置 1 に対

して DMA 転送に必要な情報が設定されると、次のようにして DMA 転送が行われる。ここで、周辺デバイスコントローラ 5-1 のデータバス幅を 8 ビット、周辺デバイスコントローラ 5-2 のデータバス幅を 16 ビット、周辺デバイスコントローラ 5-3 のデータバス幅を 32 ビット、周辺デバイスコントローラ 5-4 のデータバス幅を 8 ビットとする。

【0034】例えば、上述したようにして周辺デバイスコントローラ 5-1 に対して DMA 転送設定が完了すると、周辺デバイスコントローラ 5-1 は DMA 転送制御装置 1 に対してデバイスデータ転送要求信号（DRQ）a11 を出力する。

【0035】DMA 転送制御装置 1 はデバイスデータ転送要求信号 a11 を受取ると、そのデバイスデータ転送要求信号 a11 を最初にタイマ監視部 20 に入力し、周辺デバイスコントローラ 5-1 に対応して設定されているタイマを動作させる。このタイマ動作はデバイスデータ転送要求信号 a11 に対する競合部 19 からのデバイスデータ転送応答信号（DACK）a12 がタイマ監視部 20 に入力すると停止するようになっている。

【0036】タイマ監視部 20 を通過したデバイスデータ転送要求信号 a11 は競合部 19 に入力され、競合部 19 で他の周辺デバイスコントローラ 5-2~5-4 からのデバイスデータ転送要求信号 a11 が入力されていないかどうか確認される。

【0037】競合部 19 は他の周辺デバイスコントローラ 5-2~5-4 からのデバイスデータ転送要求信号 a11 が入力されていなければ、デバイスデータ転送要求信号 a11 を送出した周辺デバイスコントローラ 5-1 に対してデバイスデータ転送応答信号 a12 を出力する。デバイスデータ転送応答信号 a12 は IO バス 200 上に出力され、DMA 転送対象の周辺デバイスコントローラ 5-1 に入力される。

【0038】このとき、競合部 19 から DMA サイクルスタート信号 a9 がアドレスカウンタレジスタ 11 及びコマンドタイミングコントロールレジスタ 15 に対して出力される。

【0039】アドレスカウンタレジスタ 11 では DMA サイクルスタート信号 a9 が入力されると、DMA スタートアドレス a17 をバッファメモリコントローラ 13 に出力する。

【0040】バッファメモリコントローラ 13 では先の DMA 転送開始時の前設定で IO バス 200 に接続されている周辺デバイスコントローラ 5-1~5-4 の数値分のメモリマップが設定されているので、デバイスデータ転送要求信号 a11 を発行した周辺デバイスコントローラ 5-1 に割当てられているバッファメモリ 17-1~17-4 に対して IO バス 200 から来るデータを書込んでいく。

【0041】IO バス 200 からのデータをバッファメ

メモリ17-1~17-4に書込んでいく際に、バッファメモリコントローラ13からはメモリアドレス及びメモリ制御信号(MCS) a14が出力される。このメモリアドレス及びメモリ制御信号a14は各メモリマップ毎に分割されている。

【0042】ここで、本発明の一実施例ではシステムバス100へのデータ転送を効率良く行うために、図2に示すように、DMA転送をバースト転送対応として設定している。尚、図2においては32ビット×4回のバースト転送モードとなっている。

【0043】周辺デバイスコントローラ5-1のデータバス幅は8ビットであるため、システムバス100へのバースト転送に必要な周辺デバイスコントローラ5-1からのデータの転送回数は16回である。

【0044】周辺デバイスコントローラ5-1から16回データ転送が行われ、周辺デバイスコントローラ5-1からのデータがバッファメモリ17-1~17-4に格納されると、競合部19からシステムバス100に対してデータ転送要求信号(HRQ) a3が出力される。

【0045】システムバス100ではそのデータ転送要求信号a3に対するデータ転送応答信号(HRQ) a4をDMA転送制御装置1に出力する。DMA転送制御装置1はデータ転送応答信号a4が入力されると、システムバス内データバス111のデータバス幅(32ビット)にあわせたデータをバッファメモリ17-1~17-4からシステムデータバッファ21を経由してシステムバス内データバス111に出力する。併せて、DMAアドレスa5がアドレスカウンタレジスタ11からアドレスバッファ12を経由してシステムバス内アドレスバス121に出力される。

【0046】周辺デバイスコントローラ5-1からのデータ転送が上述したバースト転送回数に満たない回数で終了した場合、システムバス100のデータバス幅(32ビット)を1ブロックとして、複数ブロック+余りデータがシステムバス100に送出される(図2参照)。

【0047】次に、メモリリード・デバイスライトのDMA転送の場合、上述したようにDMA転送元の周辺デバイスコントロール5-1及びDMA転送制御装置1へのIOサイクルによる設定後、周辺デバイスコントロール5-1からDMA転送制御装置1にデバイスデータ転送要求信号a11が出力される。

【0048】DMA転送制御装置1はデバイスデータ転送要求信号a11を受取ると、競合部19からシステムバス100に対してデータ転送要求信号a3が出力される。システムバス100ではそのデータ転送要求信号a3に対するデータ転送応答信号a4及びデータをDMA転送制御装置1に出力する。

【0049】DMA転送制御装置1はシステムバス100から送られてくるデータを、バッファメモリコントローラ14の制御によってデバイスデータ転送要求信号a

11を発行した周辺デバイスコントロール5-1が割当てられたバッファメモリ18-1~18-4にデータ転送する。

【0050】バッファメモリ18-1~18-4に格納されたデータは目的の周辺デバイスコントロール5-1のデータバス幅(8ビット)にあうようにバッファメモリコントローラ14によって制御され、IOデータバッファ22を通過してIOバス200上に送出される(図3参照)。

10 【0051】また、IOバス200上の周辺デバイスコントロール5-3がデバイスリード・メモリライト動作でDMA転送制御装置1内のバッファメモリ17-1~17-4にデータ転送中に、システムバス100から周辺デバイスコントロール5-4に対してDMA転送要求が発行された場合、DMA転送制御装置1内のアドレスデコード部16は競合部19からIOバス200が使用中であることを示すデータ転送応答信号a12を見て、動作要求信号a7をバッファメモリコントローラ14に発行する。

20 【0052】バッファメモリコントローラ14は動作要求信号a7を受けると、アクセスできない周辺デバイスコントロール5-4へのデータを、周辺デバイスコントロール5-4に割当てられたバッファメモリ18-1~18-4に書込む。尚、IOサイクルにおいてはIOライトサイクルのみに適応している。

30 【0053】DMA転送においては上記の状態の時にシステムバス100からの転送データをバッファメモリ18-1~18-4に一時的に格納した後、競合部19からのデータ転送応答信号a4、a12を監視しているバッファメモリコントローラ14がIOバス200を使用していないことを認識できた時に、周辺デバイスコントロール5-4のデータバス幅(8ビット)に合わせたバス幅で、バッファメモリ18-1~18-4に格納されたデータをIOバス200に出力する(図4参照)。

40 【0054】このように、DMA転送制御装置1内にデバイスリード・メモリライト時に使用するバッファメモリ17-1~17-4と、メモリリード・デバイスライト時に使用するバッファメモリ18-1~18-4と、バッファメモリ17-1~17-4に対する書込み読出しを制御するバッファメモリコントローラ13と、バッファメモリ18-1~18-4に対する書込み読出しを制御するバッファメモリコントローラ14とを設け、バッファメモリ17-1~17-4、18-1~18-4にシステムバス100へのDMAデータ及びシステムバス100からのDMAデータを夫々一時的に格納し、システムバス100及び周辺デバイスコントロール5-1~5-4各々のデータバス幅に合わせたバースト転送等を実施することによって、周辺デバイスコントロール5-1~5-4側から見てデータ転送開始から終了までの時間はほぼ従来と同様であるが、その時間内でのシステ

ムバス100の占有率は縮小される。この縮小された時間を他のサービスに利用することができるため、システム全体の性能を向上させることができる。

【0055】 によって、転送能力が小さい周辺デバイスコントローラ5-1~5-4によってシステムバス100が長時間占有されるのを防ぐことができ、システム全体の性能を向上させることができる。

【0056】

【発明の効果】 以上説明したように本発明によれば、システムバスを介して主記憶装置に接続されかつ入出力バスを介して複数の周辺デバイスコントローラに接続されたDMA転送制御装置内に、主記憶装置から周辺デバイスコントローラへのダイレクトメモリアクセス転送時に主記憶装置からバースト転送されるデータを蓄積する第1の蓄積手段と、第1の蓄積手段に蓄積されたデータを入出力バスを介してダイレクトメモリアクセス転送対象の周辺デバイスコントローラに転送する手段と、周辺デバイスコントローラから主記憶装置へのダイレクトメモリアクセス転送時に周辺デバイスコントローラからのデータを蓄積する第2の蓄積手段と、第2の蓄積手段に蓄積されたデータをシステムバスを介して主記憶装置にバースト転送する手段とを設けることによって、転送能力が小さい周辺デバイスコントローラによってシステムバスが長時間占有されるのを防ぐことができ、システム全体の性能を向上させることができるという効果がある。

【図面の簡単な説明】

10

20

20

*

*【図1】 本発明の一実施例の構成を示すブロック図である。

【図2】 本発明の一実施例によるデバイスリード・メモリライト時のDMA転送を示すタイミングチャートである。

【図3】 本発明の一実施例によるメモリリード・デバイスライト時のDMA転送を示すタイミングチャートである。

【図4】 本発明の一実施例によるデバイスリード・メモリライト及びメモリリード・デバイスライト同時動作時のDMA転送を示すタイミングチャートである。

【符号の説明】

1 DMA転送制御装置

3 メインメモリ

5-1~5-4 周辺デバイスコントローラ

11 アドレスカウンタレジスタ

12 アドレスバッファ

13, 14 バッファメモリコントローラ

15 コマンドタイミングコントロールレジスタ

16 アドレスデコード部

17-1~17-4,

18-1~18-4 バッファメモリ

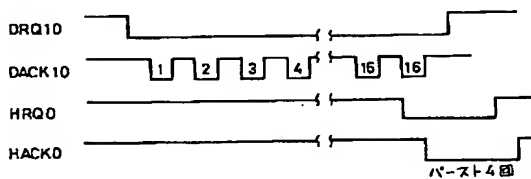
19 競合部

20 タイマ監視部

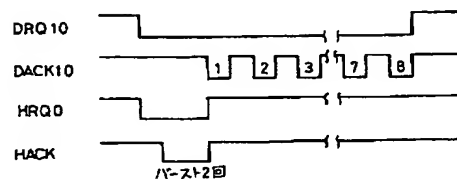
21 システムデータバッファ

22 IOデータバッファ

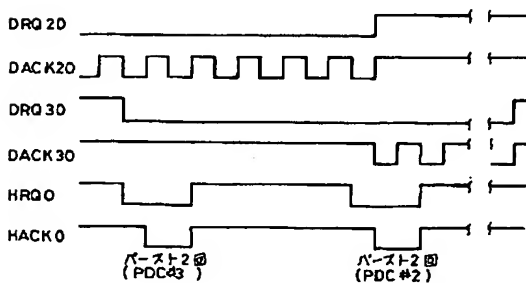
【図2】



【図3】



【図4】



【図1】

